

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-343636  
 (43)Date of publication of application : 14.12.2001

(51)Int.Cl. G02F 1/1335  
 G02F 1/133  
 G02F 1/1343  
 G02F 1/1368  
 G09F 9/30  
 G09G 3/20  
 G09G 3/36

(21)Application number : 2000-163456

(71)Applicant : SHARP CORP

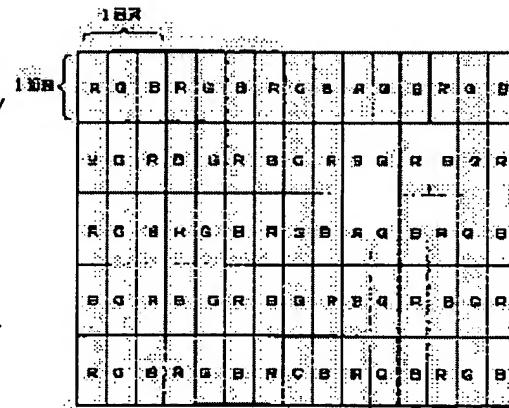
(22)Date of filing : 31.05.2000

(72)Inventor : YAMANE YASUKUNI

## (54) MATRIX TYPE COLOR DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce disturbance in the picture quality observed as vertical or horizontal lines in a matrix type color liquid crystal display device.  
**SOLUTION:** A plurality of pixels are arranged in a matrix in the row direction and column direction, and each pixel is divided into sub pixels of R, G, B to make color display possible. The G sub pixel having highest luminance among the sub pixels of the three primary colors R, G, B is arranged in the center of each pixel. The peripheral sub pixels are arranged by alternately exchanging the colors R and B by every column. Because the G sub pixel having highest luminance in the three primary colors is arranged in the center of each pixel while other sub pixels are arranged in the peripheral part of each pixel, and because the relative position of sub pixels arranged in the peripheral part differs by every column, the disturbance in the picture quality observed as vertical lines by proximity observation can be hardly caused while coloring of the display relating to the sub pixels is suppressed.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-343636

(P2001-343636A)

(43)公開日 平成13年12月14日 (2001.12.14)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
G 0 2 F	1/1335	5 0 5	G 0 2 F 1/1335 5 0 5 2 H 0 9 1
	1/133	5 1 0	1/133 5 1 0 2 H 0 9 2
	1/1343		1/1343
	1/1368		G 0 9 F 9/30 3 3 8 5 C 0 0 6
G 0 9 F	9/30	3 3 8	3 4 9 B 5 C 0 8 0

審査請求 未請求 請求項の数 7 OL (全 17 頁) 最終頁に続く

(21)出願番号 特願2000-163456(P2000-163456)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(22)出願日 平成12年5月31日 (2000.5.31)

(72)発明者 山根 康邦

大阪府大阪市阿倍野区長池町22番22号 シ  
ヤープ株式会社内

(74)代理人 100075557

弁理士 西教 圭一郎

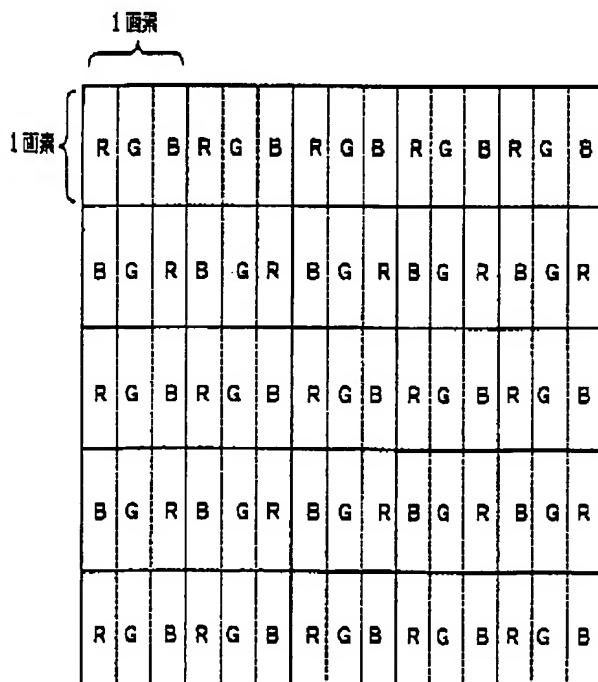
最終頁に続く

(54)【発明の名称】 マトリクス型カラー表示装置

(57)【要約】

【課題】 マトリクス型カラー表示装置で縦や横の線として観測される画質妨害の発生を軽減する。

【解決手段】 複数の画素を行方向および列方向にマトリクス状に配置し、各画素内をRGBのサブ画素に分けてカラー表示を可能にする。RGBの3原色のサブ画素のうち、輝度が最も高いGのサブ画素は、各画素の中央に配置する。周辺のサブ画素は、RとBとを、行毎に交互に入替える。3原色中で最も輝度成分が高いGのサブ画素が各画素の中央部に配置され、その他のサブ画素が各画素の周辺部に配置されるとともに、周辺部に配置されるサブ画素の相対位置が行毎に異なるので、画素レベルでの色付き現象を抑えながら、近付いたときに縦線として見える画質妨害を発生しにくくすることができる。



**【特許請求の範囲】**

**【請求項 1】** 1画素が3原色のサブ画素で構成され、複数の画素が水平走査が行われる行方向と、行に直交する列方向とに配列されるマトリクス型カラー表示装置において、

3原色のうち、輝度成分が最高の第1原色のサブ画素が各画素の中央部に配置され、

第2原色および第3原色のサブ画素は、各画素の周辺部にそれぞれ配置されるとともに、第1原色のサブ画素に対する相対位置が予め定める一方側と他方側とに、行毎に異なることを特徴とするマトリクス型カラー表示装置。

**【請求項 2】** 前記第2原色のカラー信号成分と、前記第3原色のカラー信号成分とを、1水平期間毎に入替えて出力するカラー入替回路と、

前記第1原色のカラー信号成分を前記各画素の中央部のサブ画素表示用の信号線に供給し、前記カラー入替回路の出力を前記周辺部の一方側のサブ画素表示用の信号線、および前記他方側のサブ画素表示用の信号線にそれぞれ供給する信号線駆動回路とを含むことを特徴とする請求項1記載のマトリクス型カラー表示装置。

**【請求項 3】** 3原色のカラー表示信号が入力され、前記第1原色のカラー信号成分を前記中央部のサブ画素表示用の信号線に供給し、前記第2原色のカラー信号成分と前記第3原色のカラー信号成分とを、1水平期間毎に交互に入替えて、前記周辺部の一方側のサブ画素表示用の信号線、および前記他方側のサブ画素表示用の信号線にそれぞれ供給する入替機能付信号線駆動回路を備えることを特徴とする請求項1記載のマトリクス型カラー表示装置。

**【請求項 4】** 前記各画素は、前記行方向と前記列方向とにそれぞれ平行な辺で囲まれる矩形形状を有し、前記サブ画素は、該矩形形状が該列方向に平行な境界線で区切られて形成されることを特徴とする請求項1～3のいずれかに記載のマトリクス型カラー表示装置。

**【請求項 5】** 前記各画素は、3原色のカラーフィルタを有する液晶表示素子で構成されることを特徴とする請求項1～4のいずれかに記載のマトリクス型カラー表示装置。

**【請求項 6】** 前記液晶表示素子はアクティブマトリクス型であり、

前記行毎に補助容量線が設けられ、

各補助容量線は、前記各画素の表示部分で略等間隔の複数の容量線に分割されていることを特徴とする請求項5記載のマトリクス型カラー表示装置。

**【請求項 7】** 補助容量線が行毎に配置されるアクティブマトリクス型液晶表示素子を用いるマトリクス型カラー液晶表示装置において、

行毎に配置される補助容量線は、各画素の表示部分で略等間隔の複数の容量線に分割されていることを特徴とす

るマトリクス型カラー表示装置。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】** 本発明は、複数の画素をマトリクス状に配列し、各画素を3原色のサブ画素を用いて構成してカラー表示を行うマトリクス型カラー表示装置に関する。

**【0002】**

**【従来の技術】** カラー液晶表示装置のようなマトリクス型カラー表示装置は、一般に薄型で軽量である等の特徴を有している。このため、Cathode Ray TubeからCRTと略称される陰極線管に替わる表示装置として、携帯機器用途をはじめ幅広く使用されている。たとえば、Thin Film TransistorからTFTと略称される薄膜トランジスタをスイッチング素子とするアクティブマトリクス型液晶表示装置としては、対角線長さが50cmに達する20型以上の大きさが実用化されている。液晶表示装置は非発光型の表示装置であるけれども、自発光型のマトリクス型カラー表示装置として、対角長さが100cmに達する40型以上のプラズマディスプレイも実用化されている。マトリクス型カラー表示装置では、空間のあるいは時間的に色混合を行う方式でカラー表示が行われている。特に直視型の場合には、3原色のサブ画素を用いて各画素で加法混色を行い、カラー表示を行う方法が最も広く用いられている。

**【0003】** 図13は、TFTアクティブマトリクス方式の液晶表示装置で用いられているサブ画素の配列の例を示す。現在主流となっている液晶表示装置では、各液晶表示素子は光量の制御を行い、色の違いはカラーフィルタで発生させている。したがって、1画素を3原色のサブ画素で構成するカラー液晶表示素子では、図13に示すようなサブ画素の配置に対応して、カラーフィルタおよび液晶表示素子をそれぞれ配置し、しかも位置合わせを行う必要がある。

**【0004】** 図13(a)はデルタ配列、図13(b)はストライプ配列、図13(c)はモザイク配列、図13(d)はスクウェア配列をそれぞれ示す。各配列は、それぞれ得失があり、コンピュータのディスプレイ用としては、画素アスペクト比が1:1であることが要求されるので、図13(b)に示すようなストライプ配列が広く使用されている。また、図13(a)に示すデルタ配列は、従来テレビジョン受像用に多用されてきているけれども、テレビジョンの受像機をインターネットに代表されるマルチメディア用途にも使用することが多くなってきているので、テレビジョン受像機としても図13(b)に示す縦ストライプ配列を使用する例が増えてきている。ストライプ配列では、水平走査が行われる行方向に赤色のサブ画素であるR、緑色のサブ画素であるG、青色のサブ画素であるBを配列する。行方向に垂直な列方向には、各色のサブ画素R、G、Bが縦に連なる

ようになる。

【0005】図14は、種々のマトリクス型カラー表示装置の中で、最も広く普及しているTFTを用いるアクティブマトリクス型液晶表示装置の部分的構成を示す。アクティブマトリクス型液晶表示装置では、通常、信号電荷を1フレーム期間保持し、液晶の異方性に起因する電圧変動を抑制するために、補助容量を各画素毎に設ける必要がある。補助容量に接続される補助容量線は、行毎に走査線と平行に配置されることが一般的である。補助容量線は、電気的な抵抗値を低下させる観点から、アルミニウム(AI)、タンタル(Ta)等の金属を用いるメタル配線で形成される。補助容量線にメタル配線を用いると、光を透過しないので、メタル配線の部分は斜線を施して示すように遮光領域となってしまう。

【0006】カラーマトリクス表示装置の1画素を3原色のサブ画素に分けて構成することについての先行技術は、たとえば特開昭58-23084号公報に記載されている。この先行技術では、1画素内に3原色のサブ画素に相当する部分を3原色の各色毎に複数個設け、画素の大きさが大きくなつても解像度が低下しないようにしている。

#### 【0007】

【発明が解決しようとする課題】最近のようにマトリクス型カラー表示装置の大形化が進展しても、表示に使用する画素の数が変わらなければ、1画素が占める面積の割合が大きくなってしまう。3原色のサブ画素を用いて加法混色によってカラー表示を行うマトリクス型カラー表示装置では、画素ピッチが充分小さい場合や、観視者から表示装置までの視距離が充分離れている場合は問題とならないけれども、これらの条件が満たされない場合、サブ画素構造が観視者に観測されてしまうことになる。特に、アクティブマトリクス型液晶表示装置で広く用いられている縦ストライプ構造の場合には、画素ピッチが充分に小さいか監視者から表示装置までの視距離が充分離れているような解像度の条件が満足されない場合、たとえば全体的に白を表示する「白ベタ」の表示を行うときに、画素単位の縦の線が監視者に観測されてしまうことになる。この理由は、一般的に使用されるRGBの3原色では、各サブ画素の輝度比がほぼG:R:B=6:3:1となり、Gのサブ画素とBのサブ画素とで輝度比がきわめて大きくなるからである。また、人間の視覚の輝度に対する空間解像特性は、色差に比べて優れているため、サブ画素の輝度差が縦の線として見えやすくなる。表示装置の画質という観点からは、この縦線のような現象は、できるだけ観測されにくいことが望ましい。最近のようにマトリクス型カラー表示装置の大形化や大面積化が進展している場合には、表示される画素数は画面フォーマットで決まってしまうため、一般には画素サイズが大きくなり、前述の問題が顕著化されてくる。

【0008】図14に示すようなTFTを利用するアクティブマトリクス型液晶表示装置では、サブ画素毎に形成される補助容量を、TFTと液晶電極との接続点と、補助容量線との間に接続するCsオンコモン構造であるため、図14で斜線を施して示すような遮光領域が横の線として観測されやすくなるという問題もある。

【0009】本発明の目的は、前述のような縦の線や横の線が観測されにくく、画質妨害の発生を軽減することができるマトリクス型カラー表示装置を提供することである。

#### 【0010】

【課題を解決するための手段】本発明は、1画素が3原色のサブ画素で構成され、複数の画素が水平走査が行われる行方向と、行に直交する列方向とに配列されるマトリクス型カラー表示装置において、3原色のうち、輝度成分が最高の第1原色のサブ画素が各画素の中央部に配置され、第2原色および第3原色のサブ画素は、各画素の周辺部にそれぞれ配置されるとともに、第1原色のサブ画素に対する相対位置が予め定める一方側と他方側とに、行毎に異なることを特徴とするマトリクス型カラー表示装置である。

【0011】本発明に従えば、マトリクス型カラー表示装置は、1画素が3原色のサブ画素で構成され、複数の画素が水平走査が行われる行方向と、行に直交する列方向とに配列される。各画素の中央部には、3原色のうち、輝度成分が最高の第1原色のサブ画素が配置される。各画素の周辺部には、第2原色および第3原色のサブ画素が、第1原色のサブ画素に対する相対的位置が、行毎に異なるように配置される。これによって画素レベルでの色付き現象を抑えながら、視距離が近いときに縦線として観測される画質妨害を発生しにくくすることができる。

【0012】また本発明は、前記第2原色のカラー信号成分と、前記第3原色のカラー信号成分とを、1水平期間毎に入替えて出力するカラー入替回路と、前記第1原色のカラー信号成分を前記各画素の中央部のサブ画素表示用の信号線に供給し、前記カラー入替回路の出力を前記周辺部の一方側のサブ画素表示用の信号線、および前記他方側のサブ画素表示用の信号線にそれぞれ供給する信号線駆動回路とを含むことを特徴とする。

【0013】本発明に従えば、カラー入替回路で第2原色のカラー信号成分と第3原色のカラー信号成分とを1水平期間毎に入替えて出力し、信号線駆動回路は第1原色のカラー信号成分を各画素の中央部のサブ画素表示用の信号線に供給し、カラー入替回路で入替えられる出力を周辺部の一方側と他方側とのサブ画素表示用の信号線にそれぞれ供給する。第2原色と第3原色との位置が入替わるサブ画素の配置に対応していない通常の縦ストライプ配置のカラー表示信号を入力しても、第2原色と第3原色のサブ画素を行毎に入替えて表示することができ

る。信号線駆動回路も、従来からの構成をそのまま利用することができる。

【0014】また本発明は、3原色のカラー表示信号が入力され、前記第1原色のカラー信号成分を前記中央部のサブ画素表示用の信号線に供給し、前記第2原色のカラー信号成分と前記第3原色のカラー信号成分とを、1水平期間毎に交互に入替えて、前記周辺部の一方側のサブ画素表示用の信号線、および前記他方側のサブ画素表示用の信号線にそれぞれ供給する入替機能付信号線駆動回路を備えることを特徴とする。

【0015】本発明に従えば、入替機能付信号線駆動回路は、3原色のカラー表示信号が入力され、第1原色のカラー信号成分を中央部のサブ画素表示用の信号線に供給し、第2原色のカラー信号成分と第3原色のカラー信号成分とを1水平期間毎に交互に入替えて、周辺部の一方側のサブ画素表示用の信号線と他方側のサブ画素表示用の信号線とにそれぞれ供給する。従来のままのカラー表示信号を入力しても、信号線駆動回路で第2原色と第3原色とを行毎に入替えながら各画素の周辺部のサブ画素表示用の信号線に供給するので、使用部品を増加することなく画質妨害が発生しにくい信号線駆動を行うことができる。

【0016】また本発明で前記各画素は、前記行方向と前記列方向とにそれぞれ平行な辺で囲まれる矩形形状を有し、前記サブ画素は、該矩形形状が該列方向に平行な境界線で区切られて形成されることを特徴とする。

【0017】本発明に従えば、各画素は、行方向および列方向にそれぞれ平行な辺で囲まれる矩形形状を有し、サブ画素は矩形形状を列方向に平行な境界線で区切られて形成されるので、全体的にはストライプ配列となる。列方向について、各画素の周辺部の第2原色のサブ画素と第3原色のサブ画素とが交互に入替わるようになるので、縦の線として見える画質妨害の発生を抑えることができる。

【0018】また本発明で前記各画素は、3原色のカラーフィルタを有する液晶表示素子で構成されることを特徴とする。

【0019】本発明に従えば、3原色のカラーフィルタを有する液晶表示素子で、縦の線として見える画質妨害の発生を抑えることができる。

【0020】また本発明で前記液晶表示素子はアクティブラチカル型であり、前記行毎に補助容量線が設けられ、各補助容量線は、前記各画素の表示部分で略等間隔の複数の容量線に分割されていることを特徴とする。

【0021】本発明に従えば、補助容量線を有するアクティブラチカル型液晶表示素子で、縦の線として見える画質妨害を抑えるとともに、補助容量線に基づく横の線の画質妨害も低減することができる。

【0022】さらに本発明は、補助容量線が行毎に配置されるアクティブラチカル型液晶表示素子を用いるマ

トリクス型カラー液晶表示装置において、行毎に配置される補助容量線は、各画素の表示部分で略等間隔の複数の容量線に分割されていることを特徴とするマトリクス型カラー表示装置である。

【0023】本発明に従えば、マトリクス型カラー表示装置は、補助容量線が行毎に配置されるアクティブラチカル型液晶表示素子を用いる。行毎に配置される補助容量線は、各画素の表示部分で略等間隔の複数の容量線に分割されているので、単一の補助容量線が遮光領域となって横線として見える画質妨害を発生するのを、容量線を分割して画質妨害の発生を抑えることができる。

【0024】

【発明の実施の形態】図1は、本発明の実施の第1形態としてのマトリクス型カラー表示装置のサブ画素の配置を示す。図1では、説明の便宜上、 $5 \times 5$ 画素の領域だけを示している。たとえば画面サイズが10.4型のVGA (Video Graphics Array) フォーマットの場合、画素数は $640 \times 480$ 画素となる。画素ピッチは、縦横両方向とも $330 \mu\text{m}$ である。各画素はRGBの3原色の各色を発光する3つのサブ画素から構成される。サブ画素の配列ピッチは、縦方向が $330 \mu\text{m}$ 、横方向が $110 \mu\text{m}$ となる。前述のように、RGBの3原色では、Gが最も輝度が高くなる。本実施形態では、輝度が最高のGのサブ画素を各画素の中央部に配置する。残りのRとBのサブ画素は、Gのサブ画素の両側に配置する。また、行毎に、Rのサブ画素とBのサブ画素の相対位置を入れ替える。なお、各サブ画素のフィルファクタ（カラー液晶表示装置の場合は開口率）は、0.3~0.9程度が一般的であり、サブ画素全面が表示に寄与するわけではない。図1では、説明の便宜上、各サブ画素のフィルファクタを1として表している。

【0025】前述のようなサブ画素の配置は、表示方式によって製造方法は異なるけれども、基本的にはカラーフィルタあるいは発光素子の配置の問題であり、比較的容易に実現することができる。たとえばTFTを用いるアクティブラチカル型液晶表示装置の場合では、TFT基板の設計は従来どおり行い、対向側の基板に設けるカラーフィルタのパターン設計を、図1に示すサブ画素の配置に併せて行えばよい。開口率を向上させる目的で、TFT基板上にカラーフィルタを形成する場合も、同様にカラーフィルタのパターン設計を変更すればよい。

【0026】図1に示すようなサブ画素の配置によって、Gのサブ画素の両側に、RとBのサブ画素が均等に配置されることになる。一方の側にはBのサブ画素だけが配置されていた図13(b)に示すような従来の縦ストライプ配列の場合に比べて、輝度の変化を均一化することができるので、従来は画素単位の縦の線として観測されていた妨害要因を緩和することができる。なお、最も輝度が高いGのサブ画素を中央に配置することによっ

て、両隣の画素との間の干渉を抑制することができる。

【0027】本実施形態のマトリクス型カラー表示装置では、表示のためのカラー画像信号を供給するホスト側で、図1に示すようなサブ画素の配置に対応したカラー信号成分の入替えを行う必要がある。このようなカラー信号成分の入替えは、従来RGBの各色毎に分けて画像イメージを形成する段階のソフトウェアで行ったり、カラーイメージを読み出してマトリクス型カラー表示装置に供給するハードウェアの段階で入替えを行うようにすることもできる。

【0028】これまでの説明から明らかなように、本実施形態のマトリクス型カラー表示装置は、透過型あるいは反射型で非発光型の液晶表示装置ばかりではなく、プラズマディスプレイやEL（エレクトロルミネセンス）ディスプレイのような自発光型の表示装置にも適用することができる。また直視型だけでなく、サブ画素構成をとる投射型ディスプレイにも適用することができるのは勿論である。

【0029】図2は、本発明の実施の第2形態としてのマトリクス型カラー表示装置の概略的なシステム構成を示す。本実施形態では、マトリクス型カラー表示装置が、 TFTを用いるアクティブマトリクス型の液晶パネル1である場合を例にとって説明する。なお、液晶パネル1が、透過型の場合には、この他にバックライトおよびバックライト用電源が付加される。液晶パネル1を構成する画素は、行方向および列方向にマトリクス状に配置され、アクティブマトリクスを構成するTFTによるスイッチング制御でカラー画像表示を行う。アクティブマトリクスの列方向の信号線は、信号線駆動回路2によってそれぞれ駆動される。アクティブマトリクスの行方向の走査線は、走査線駆動回路3によってそれぞれ駆動される。信号線駆動回路2および走査線駆動回路3の駆動のタイミングは、タイミング制御回路4から与えられるタイミング信号で制御される。タイミング制御回路4は、カラー表示信号とともに与えられる水平同期信号H syncと垂直同期信号V syncおよびクロック信号CLKに基づいて、各種タイミング信号を発生する。

【0030】本実施形態のマトリクス型カラー表示装置が従来と異なるのは、入力されたカラー信号成分を1水平期間毎に交互に入替えて信号線駆動回路2へ供給するカラー信号入替回路5を備えていることである。液晶パネル1の各画素では、図1の実施形態と同様にサブ画素が配置されている。カラー信号入替回路5は、タイミング制御回路4から与えられる切換制御信号SELに従って、RとBのカラー信号成分を水平走査毎に入れ替える。このようなカラー信号入替回路5を備えることによって、図1のサブ画素の配置構成を有する液晶パネル1を用いながら、従来と同様のカラー表示信号を入力するだけで所望の表示を行うことができる。

【0031】外部から入力されるカラー表示信号は、た

とえば18ビットのデジタル信号であり、RGB各色が6ビットずつで構成される。したがって、液晶パネル1では、各色64階調の表示が行われることになる。入力された18ビットのカラー表示信号（R0～R5、G0～G5、B0～B5）は、バッファ回路6を介してカラー信号入替回路5へ送られる。カラー信号入替回路5では、入力されたカラー表示信号のうち、最も輝度が高いカラー信号成分であるG0～G5はそのまま信号線駆動回路2に送出する。一方、残りのカラー信号成分であるR0～R5とB0～B5とは、1水平期間毎に交互に入替えて信号線駆動回路2へ送出される。本実施形態のマトリクス型カラー表示装置の各部には、電源回路7から必要な電源電圧が供給される。電源回路7は、たとえばロジック用、走査線駆動回路用および信号線駆動回路用に分けて異なる電圧の直流電力を供給する。

【0032】図3は、図2に示すカラー信号入替回路5の例を示す。カラー信号入替回路5は、たとえば2つのマルチブレクサ回路11、12を用いて容易に実現することができる。切換制御信号SELは、一方のマルチブレクサ回路11の選択入力Sにはそのまま与えられ、他方のマルチブレクサ回路12の選択入力Sにはインバータ回路13を介して与えられる。カラー信号成分R0～R5は、両方のマルチブレクサ回路11、12のA側入力にそれぞれ接続される。マルチブレクサ回路11は、選択入力Sがハイレベルであるかローレベルであるかによって、A側入力またはB側入力を切替えて出力Yから導出する。このような構成によって、切換制御信号SELを水平走査期間毎にハイレベルとローレベルとに切替えれば、一方のマルチブレクサ回路11と他方のマルチブレクサ回路12とから出力されるカラー信号成分を交互に入替えることができる。

【0033】図4は、図2のタイミング制御回路4で制御信号SELを発生させる部分的な構成を示す。タイミング制御回路4では、入力されたクロック信号および同期信号に基づき、表示に必要なタイミング信号を生成する。本実施形態のタイミング制御回路4が従来と異なるのは、カラー信号入替回路5へ供給する切替制御信号SELを生成する機能を備えていることである。この切替制御信号SELは、フリップフロップ回路14を用いて容易に作成することができる。フリップフロップ回路14は、インバータ回路15を介して接続される垂直同期信号V syncがハイレベルとなるときにクリアされ、水平同期信号H syncが立上がる毎に出力状態を反転する。たとえばフリップフロップ回路14の出力Qをインバータ回路16を介して導出する信号を、切替制御信号SELとすることができます。

【0034】図5は、図2のタイミング制御回路4が発生する切替制御信号SELと走査線駆動回路3から発生する走査信号のタイミングとを比較して示す。切替制御信号SELは、垂直同期信号V syncがハイレベルに

なるとハイレベルになり、以降は、水平同期信号H<sub>s y</sub><sub>n c</sub>の立上がり毎に出力レベルを反転させる。垂直同期信号V<sub>s y n c</sub>から所定数の水平走査が終了すると、走査線駆動回路3から走査出力S<sub>L 1</sub>、S<sub>L 2</sub>、S<sub>L 3</sub>が順次出力される。

【0035】液晶パネル1は、カラーフィルタ配列が図1に示すような配列となっている以外は、従来と同じ構造で形成される。基本的には、液晶層を2枚のガラス基板で挟み込んだ構造であり、一方のガラス基板上に画素アレイが形成される。1画素は3つのサブ画素で構成され、各サブ画素は信号線駆動回路2および走査線駆動回路3によって駆動される。

【0036】図6は、図2の液晶パネル1の画素アレイ部と信号線駆動回路2および走査線駆動回路3についてより詳細に示す。この液晶パネル1は、多数の走査線と多数の信号線とが交差するように形成され、隣接する2本の走査線と隣接する2本の信号線とで囲まれた部分に、サブ画素がマトリクス状に配置される。

【0037】図7は、図6に示す1つのサブ画素についての構成を示す。各サブ画素は、スイッチング素子としてのTFT17と液晶容量CLおよび補助容量CSによって構成される。補助容量CSは、液晶容量CLを形成する液晶誘電率の異方性、TFT17のリーク電流、TFTのゲート・ソース間の寄生容量等に起因するサブ画素電位の変動の影響を抑制するために用いられる。スイッチング素子として働くTFT17のソースおよびドレインを介して信号線DLjは、液晶容量CLおよび補助容量CSのそれぞれ一方の電極と接続される。サブ画素のTFT17のゲートは、走査線SLiに接続される。また、液晶容量CLの他方の電極は、液晶セルを挟む対向基板側に対向電極として設けられる。補助容量CSの他方の電極は、全画素に共通な補助容量線に接続される。補助容量線は、図14に示すように、行毎に走査線と平行に配線されるのが一般的である。なお、i、jは $1 \leq i \leq m$ 、 $1 \leq j \leq n$ の範囲の整数であり、VGAフォーマットでは $m = 480$ 、 $n = 640 \times 3$ である。

【0038】走査線DLjは走査線駆動回路3に接続されており、信号線SLiは信号線駆動回路2に接続されている。走査線駆動回路3は、走査線DLjを順次走査して、各走査線DLjに接続されているTFT17のゲートに20~30V程度の電圧を図5に示すように、必要な期間だけ印加する機能を有している。また、信号線駆動回路2は、入力されたカラー表示信号を1水平期間にわたって順次サンプリングして保持し、さらにデジタル/アナログ（以下、「D/A」と略称する）変換を行って、必要なタイミングで信号線DLjにアナログ信号として出力する。走査線駆動回路3によって走査線SLiがアクティブ状態になると、走査線DLjにゲートが接続されているTFT17が導通状態となり、信号線DLjに出力された信号がTFT17のソースおよびドレ

インを介して液晶容量CLと補助容量CSとを充電し、信号線上に出力された信号がサブ画素に書込まれる。サブ画素に書込まれた電荷は、1フレーム期間保持され、表示が維持される。走査線駆動回路3および信号線駆動回路2には、一般的な液晶ドライバLSIを使用することができます。

【0039】なお、液晶素子は直流電圧を印加すると電気化学反応によって劣化するため、長寿命化を図るために、印加電圧の極性を周期的に反転する交流駆動を行う必要がある。以下この交流駆動を反転駆動と呼ぶことにする。TFTを用いる液晶パネル1を反転駆動する場合、1フレーム毎に極性反転を行うと、液晶誘電率の異方性、TFTのリーク電流のばらつき、およびTFTの寄生容量に起因するサブ画素電位の変動、対向電極信号のセンタ値からのずれ等の種々の要因から、液晶に印加される正負の電圧に多少のアンバランスが生じることが避けられず、フレーム周波数の半分の周波数で微小な輝度変動を生じて、見た目にフリッカとして認知されてしまう。この対策として、1フレーム毎の反転に加えて、隣接ライン間あるいは隣接画素間を逆極性にする反転駆動方式が用いられる。

【0040】このように本実施形態のマトリクス型カラー表示装置では、従来と同様なカラー表示信号を入力するだけで、実施の第1形態の場合と同様に、従来は画素単位の縦の線として観測されていた妨害要因を軽減することができる。なお本実施形態ではアクティブマトリクス型の液晶表示装置の場合を例をとって説明を行っているけれども、実施の第1形態の場合と同様に、他の方式の表示装置に対しても幅広く適用することができるのは勿論である。

【0041】図8は、本発明の実施の第3形態としてのマトリクス型カラー表示装置の概略的なシステム構成を示す。本実施形態で、図2に示す実施形態と対応する部分には同一の参照符を付し、重複する説明を省略する。本実施形態が図2の実施形態と異なるのは、図2に示すようなカラー信号入替回路5を備えていない代わりに、入替機能付信号線駆動回路22を用い、入替機能付信号線駆動回路22内で、入力されるカラー表示信号のうち、輝度成分が最高ではない2つのカラー信号成分を、1水平期間毎に交互に入替えて各画素の周辺部のサブ画素を表示する信号線に供給する駆動信号入替機能を備えていることである。ただし、入替えのタイミングは、図2の実施形態と異なるので、制御信号SELを発生するタイミング制御回路24も、図2のタイミング制御回路4とは異なるものを用いる。

【0042】図9は、本実施形態のマトリクス型カラー表示装置で用いる入替機能付信号線駆動回路22の構成例を示す。入替機能付信号線駆動回路22は、シフトレジスタ31、データレジスタ32、ラッチ33、D/Aコンバータ34、駆動信号切換回路35、出力バッファ

3 6 および基準電圧発生回路 3 7 を含む。このうち、駆動信号切換回路 3 5 を除く構成は、従来からの信号線駆動回路と同等である。駆動信号切換回路 3 5 は、最終的に信号線を駆動する出力バッファ 3 6 の前段に設けられ、R と B のカラー信号成分を、切換制御信号 S E L に応じて、両信号のうちの一方を選択して信号線に出力することができる。

【0043】図 10 は、図 9 に示す駆動信号切換回路 3 5 の 1 画素分に相当する構成を示す。駆動信号切換回路 3 5 は、4 つのアナログスイッチ 3 5 a, 3 5 b, 3 5 c, 3 5 d を用いて容易に実現することができる。D/A コンバータ 3 4 から R out, G out, B out としてそれぞれ導出される RGB の各色の輝度に対応するアナログ信号のうち、最も輝度の高い G の信号はそのまま出力バッファ 3 6 に与えられ、R と B の信号がアナログスイッチ 3 5 a, 3 5 b, 3 5 c, 3 5 d で交互に切換えられる。切換えのタイミングは、タイミング制御回路 2 4 から供給される切換制御信号 S E L に基づいて行われ、1 水平期間毎に切換えられる。ここで注意することは、表示のための信号を切換えるタイミングが、図 2 に示す実施形態の場合よりも 1 水平期間だけ遅延していることである。

【0044】本実施形態でも、従来と同様のカラー表示信号を入力するだけで、図 2 の実施形態と同様に、従来は画素単位の縦の線として観測されていた妨害要因を緩和する表示を行うことができる。また、本実施形態ではアクティブラトリクス型液晶表示装置の場合を例にとって説明しているけれども、図 1 の実施形態の場合と同様に、他の方式の表示装置にも幅広く適用することができる。

【0045】図 11 は、本発明の実施の第 4 形態としてのアクティブラトリクス型液晶表示素子 4 0 を用いたマトリクス型カラー表示装置の概略的な画素構成を示す。本実施形態では、TFT 4 1 をガラス基板上に従来と同様の工程で形成するけれども、補助容量線 4 2, 4 3 を全く異なる思想で設計している。すなわち、図 11 に示すように、補助容量線 4 2, 4 3 は、各画素の表示に寄与する部分である絵素電極 4 4 では、略等間隔となるように 2 本の容量線に分割して配線される。各サブ画素における 2 本の補助容量線 4 2, 4 3 の容量値を加算した値は、従来設計と同じ補助容量の容量値となるようにしておく。したがって、各補助容量線 4 2, 4 3 の線幅は、従来の 1 本の補助容量線で構成する場合よりも細くすることができる。さらに、補助容量線 4 2, 4 3 の間には間隔をあけているので、補助容量線 4 2, 4 3 をメタル配線で形成して遮光領域となっても、横の線として目立ちにくくすることができる。

【0046】図 12 は、本発明の実施の第 5 形態としてのアクティブラトリクス型液晶表示素子 5 0 を用いたマトリクス型カラー表示装置の概略的な画素構成を示す。

本実施形態で図 11 に示す構成に対応する部分には同一の参照符を付し、重複する説明を省略する。本実施形態では、同一のサブ画素内で、2 本の補助容量線 4 2, 4 3 が、短絡線 5 1 によって相互に接続されている。短絡線 5 1 で 2 本の補助容量線 4 2, 4 3 を接続する部分にも補助容量が形成され、また補助容量線 4 2, 4 3 間の電位変化を小さくすることができる。

【0047】このように、遮光領域となる補助容量線 4 2, 4 3 を、各サブ画素の表示部において 2 本に分割することで、個々の補助容量線 4 2, 4 3 の線幅を細くすることができ、しかも略等間隔で配線されるので、従来に比べて、補助容量線 4 2, 4 3 による横の線を目立たなくすることができる。なお、図 11 および図 12 では、2 分割する場合について説明しているけれども、プロセス上の問題を生じない範囲で、3 分割以上にしても全く差し支えなく、横の線を目立たなくすることができる効果は一層顕著となる。

【0048】実施の第 4 形態または第 5 形態の考え方を、実施の第 1 形態～第 3 形態と組合せて適用することも勿論可能である。組合せることによって、縦の線も横の線も見えにくくして、カラー画像の画質を向上させることができる。

【0049】

【発明の効果】以上のように本発明によれば、各画素内での 3 原色のカラー成分のうちで最も輝度の高い第 1 原色を除く第 2 原色と第 3 原色のサブ画素の位置を行毎に入替えて、画質上の妨害となりやすい画素毎の縦の線を観測されにくくすることができる。したがって、特に白のベタ表示時等における画質向上を図ることができる。

【0050】また本発明によれば、第 2 原色と第 3 原色のカラー信号成分を 1 水平周期毎に入替えて出力するカラー入替回路を用いて、従来のままのカラー表示信号を入力し、従来のままの信号線駆動回路を用いて、縦線として見える画質妨害を低減することができる。

【0051】また本発明によれば、第 2 原色のカラー信号成分と第 3 原色のカラー信号成分とを 1 水平周期毎に交互に入替えて出力する入替機能付信号線駆動回路を用いて、従来のままのカラー表示信号を入力しても、縦線として見える画質妨害が発生しにくくすることができる。

【0052】また本発明によれば、矩形形状のサブ画素をストライプ状に配置しても、各画素の周辺部の第 2 原色のサブ画素と第 3 原色のサブ画素との位置を行毎に入替えるので、画素レベルでの色付現象を抑えながら、近付いても縦線として見える画質妨害が発生しにくくなるようにすることができる。

【0053】また本発明によれば、3 原色のカラーフィルタを有する液晶表示素子で、画素レベルでの色付き現象を抑えながら、近付いても縦線として見える画質妨害が発生しにくくなるようにすることができる。

【0054】また本発明によれば、アクティブマトリクス型液晶表示素子で、サブ画素の配置を行毎に入替えて縦の線として見える画質妨害の発生を抑え、補助容量線に基づく横の線の画質妨害の発生も抑えることができる。

【0055】さらに本発明によれば、行方向に配置する補助容量線を、各画素の表示部分で略等間隔の複数の容量線に分割するので、容量線が遮光する領域を分散し、横線として見える画質妨害を発生しにくくすることができる。

#### 【図面の簡単な説明】

【図1】本発明の実施の第1形態でのサブ画素の配置を示す図である。

【図2】本発明の実施の第2形態としての概略的な電気的構成を示すブロック図である。

【図3】図2のカラー信号入替回路5の電気的構成を示すブロック図である。

【図4】図2のタイミング制御回路4の部分的な電気的構成を示すブロック図である。

【図5】図2のタイミング制御回路4からの制御信号と走査線駆動回路3からの走査信号とを示すタイムチャートである。

【図6】図2の液晶パネル1でサブ画素について信号線駆動回路2および走査線駆動回路3による駆動のための構成を示す部分的なブロック図である。

【図7】図6のサブ画素の等価的な電気的構成を簡略化して示す電気回路図である。

【図8】本発明の実施の第3形態としてのマトリクス型カラー表示装置の概略的な電気的構成を示すブロック図である。

【図9】図8に示す入替機能付信号線駆動回路22の内

部構成を示すブロック図である。

【図10】図9の駆動信号切換回路35の内部構成を示すブロック図である。

【図11】本発明の実施の第4形態としてのアクティブマトリクス型液晶表示素子の一部を概略的に示す図である。

【図12】本発明の実施の第5形態としてのアクティブマトリクス型液晶表示素子50の一部を概略的に示す図である。

【図13】従来からマトリクス型カラー表示装置で用いられているサブ画素の配列の例を示す図である。

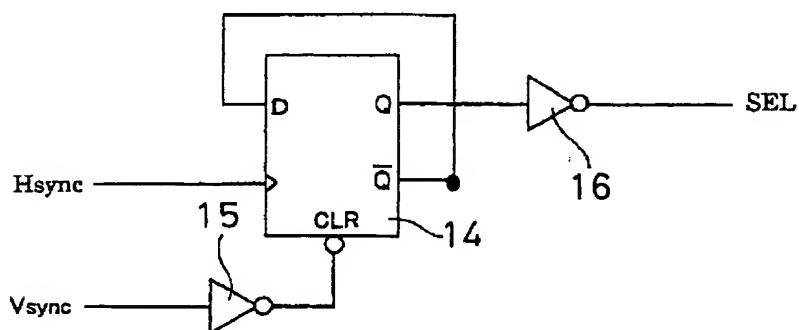
【図14】従来からのTFTを用いるアクティブマトリクス型液晶表示装置の部分的な構成を示す図である。

#### 【符号の説明】

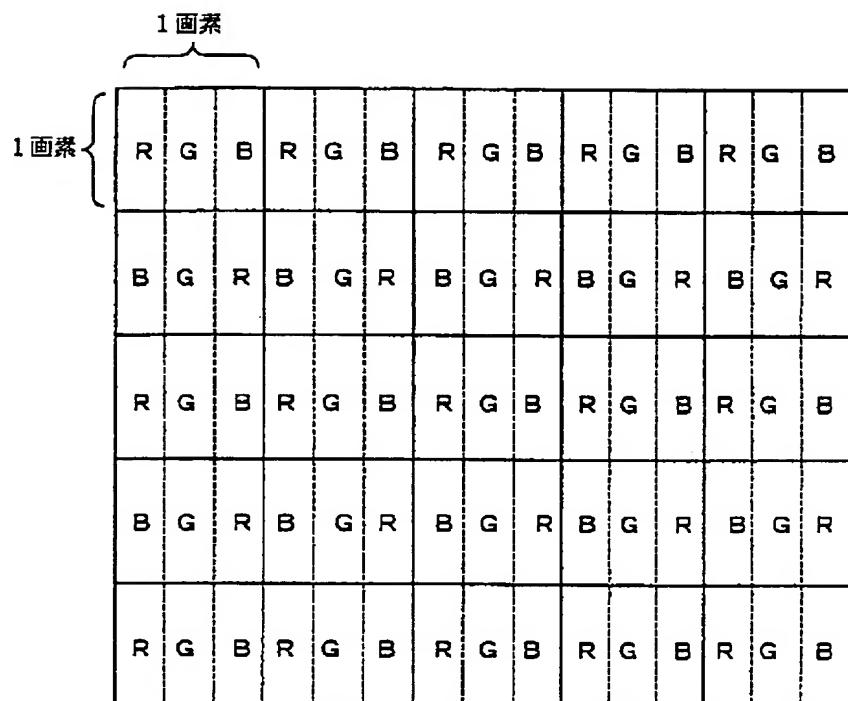
- 1 液晶パネル
- 2 信号線駆動回路
- 3 走査線駆動回路
- 4, 24 タイミング制御回路
- 5 カラー信号入替回路
- 11, 12 マルチプレクサ回路
- 14 フリップフロップ回路
- 17, 41 TFT
- 22 入替機能付信号線駆動回路
- 35 駆動信号切換回路
- 35a, 35b, 35c, 35d アナログスイッチ
- 36 出力バッファ
- 40, 50 アクティブマトリクス型液晶表示素子
- 42, 43 補助容量線
- 44 絵素電極
- 51 短絡線

【図4】

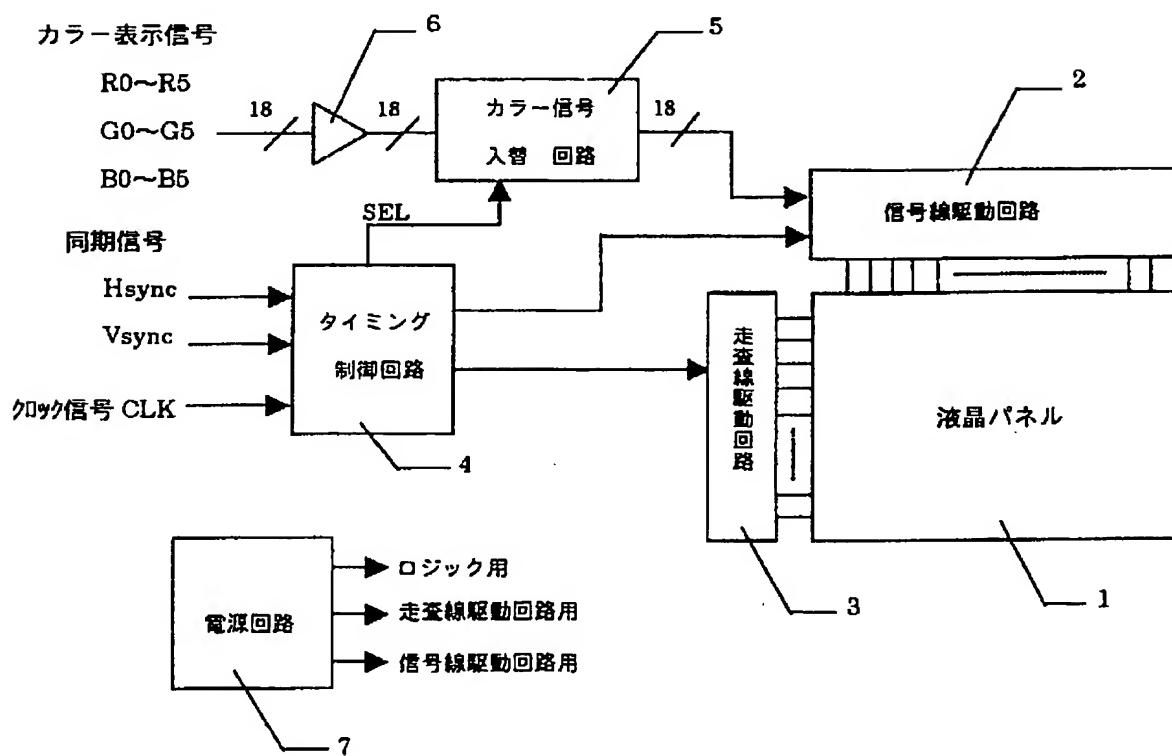
4



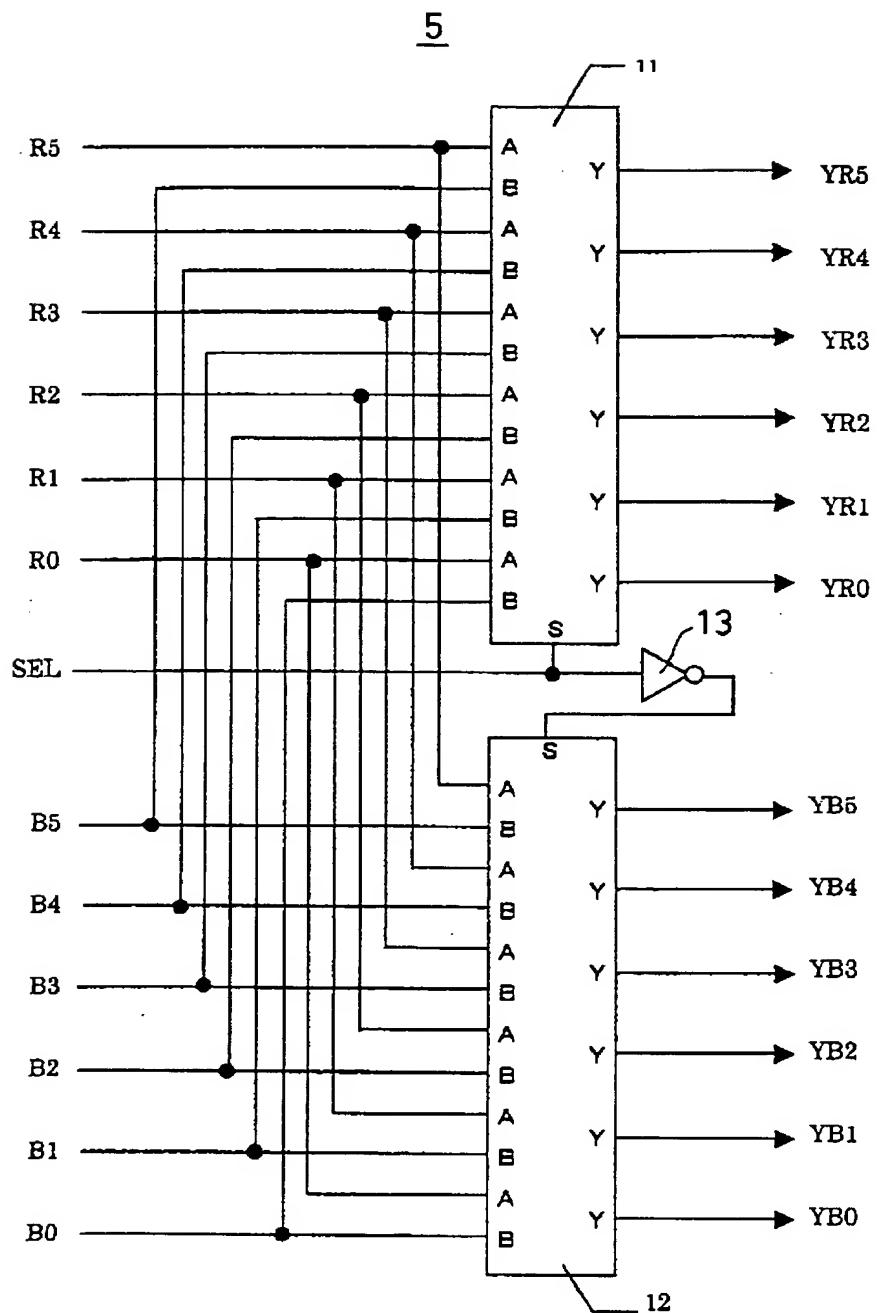
【図 1】



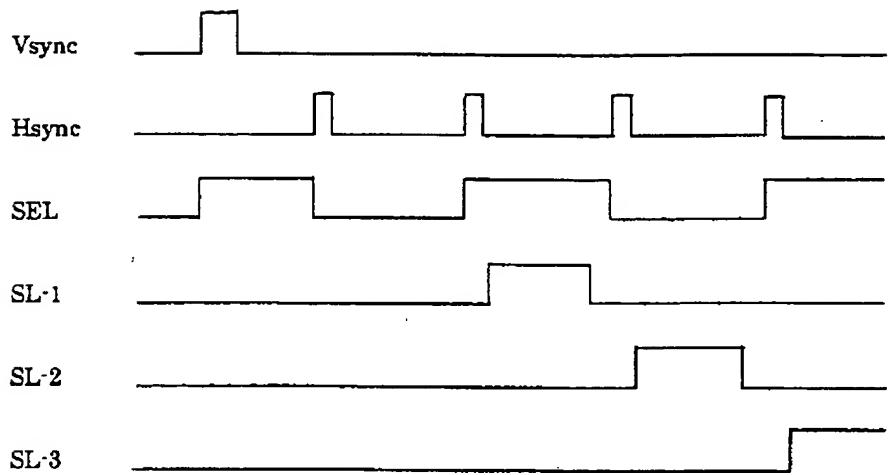
【図 2】



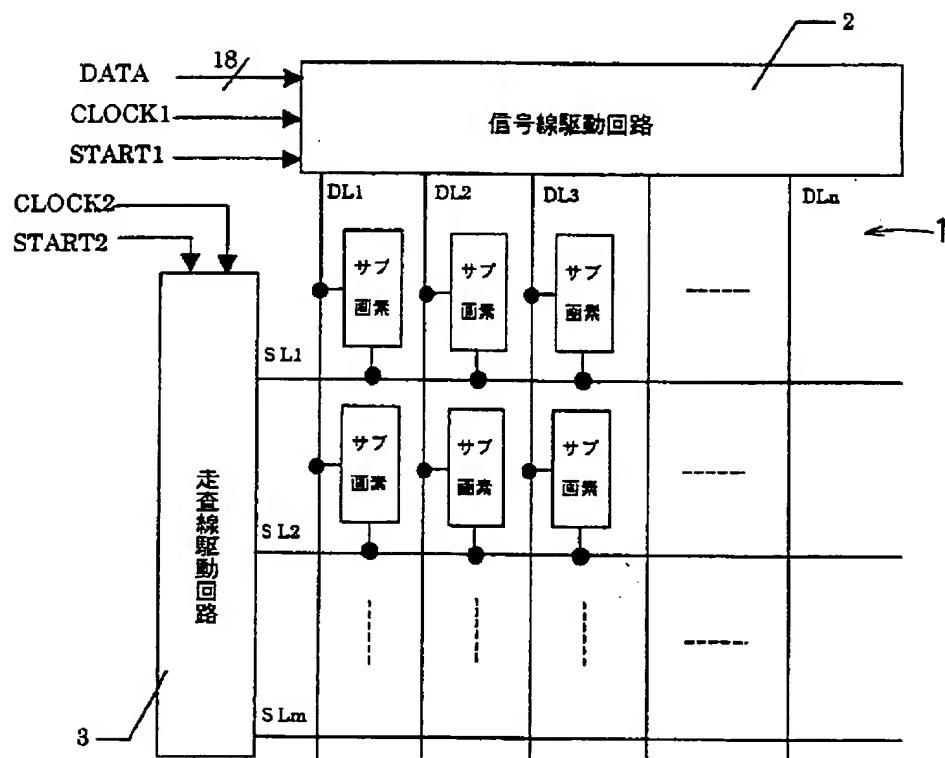
【図3】



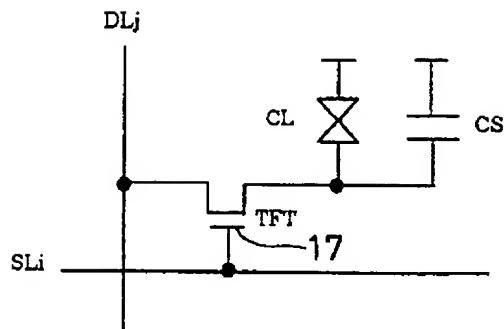
【図5】



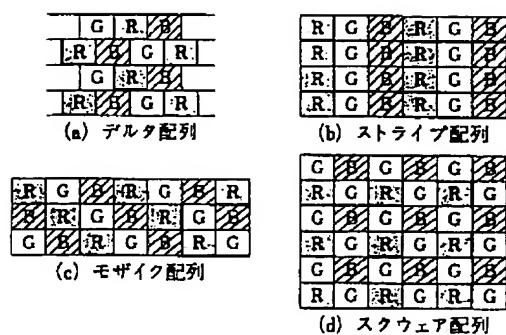
【図6】



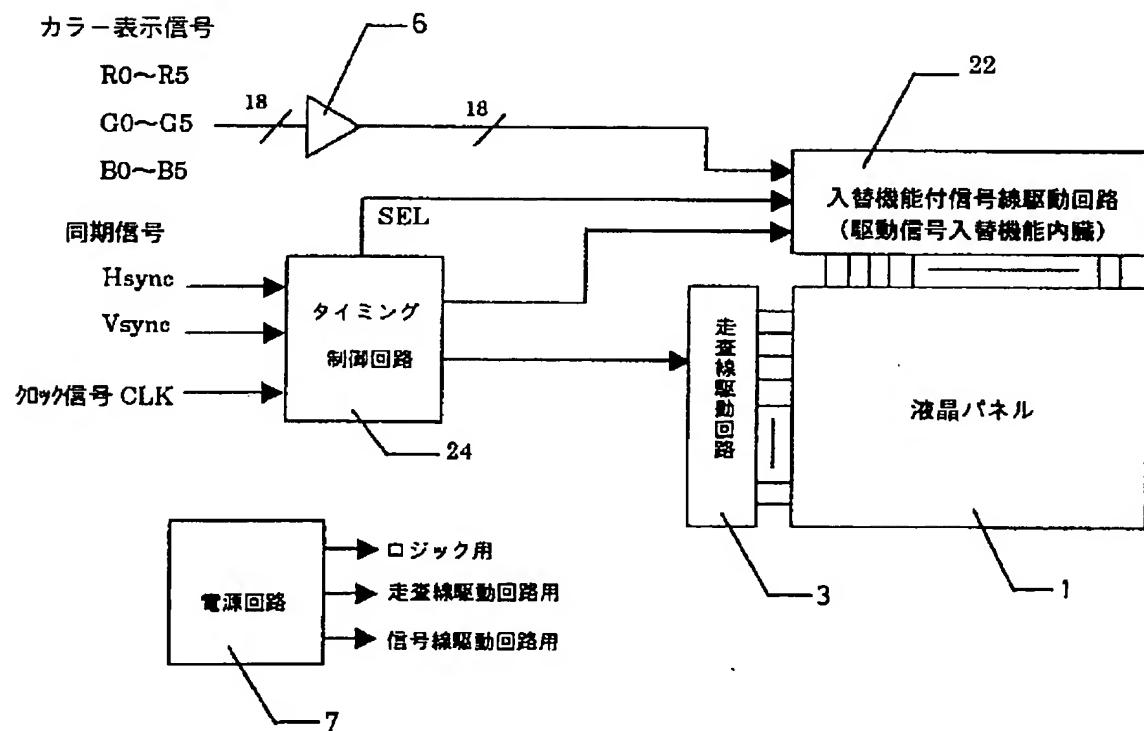
【図 7】



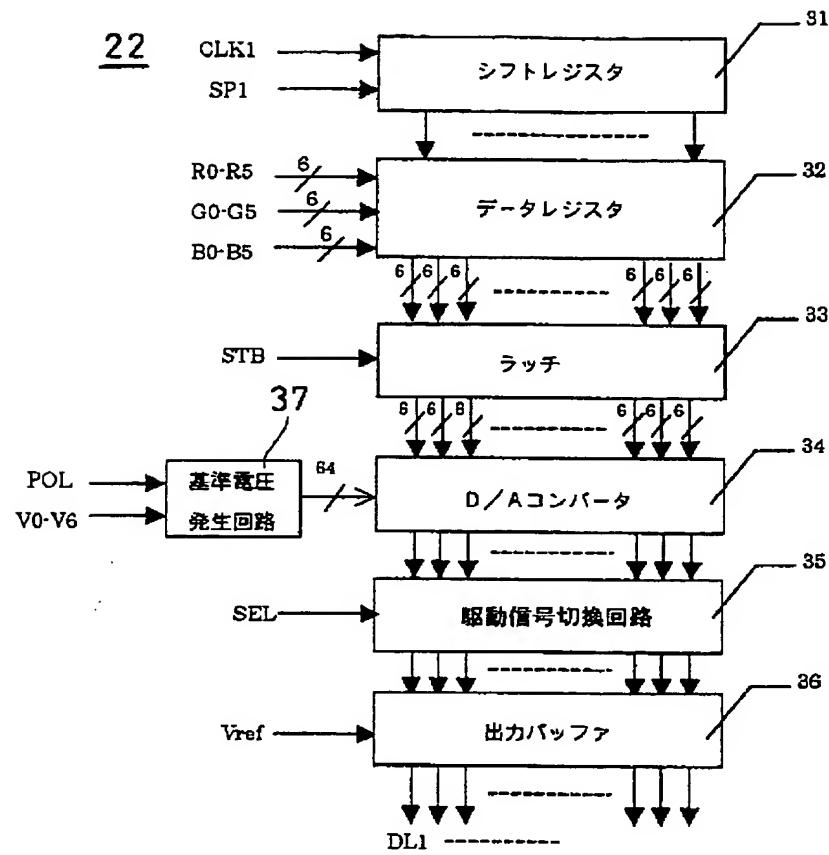
【図 13】



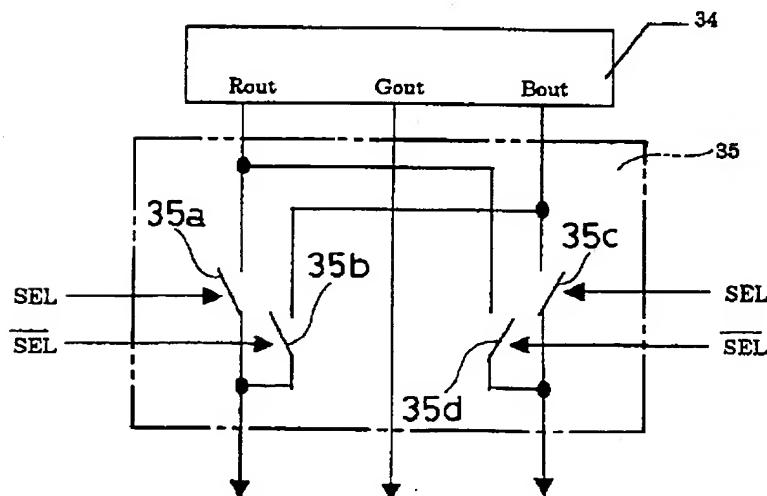
【図 8】



【図9】

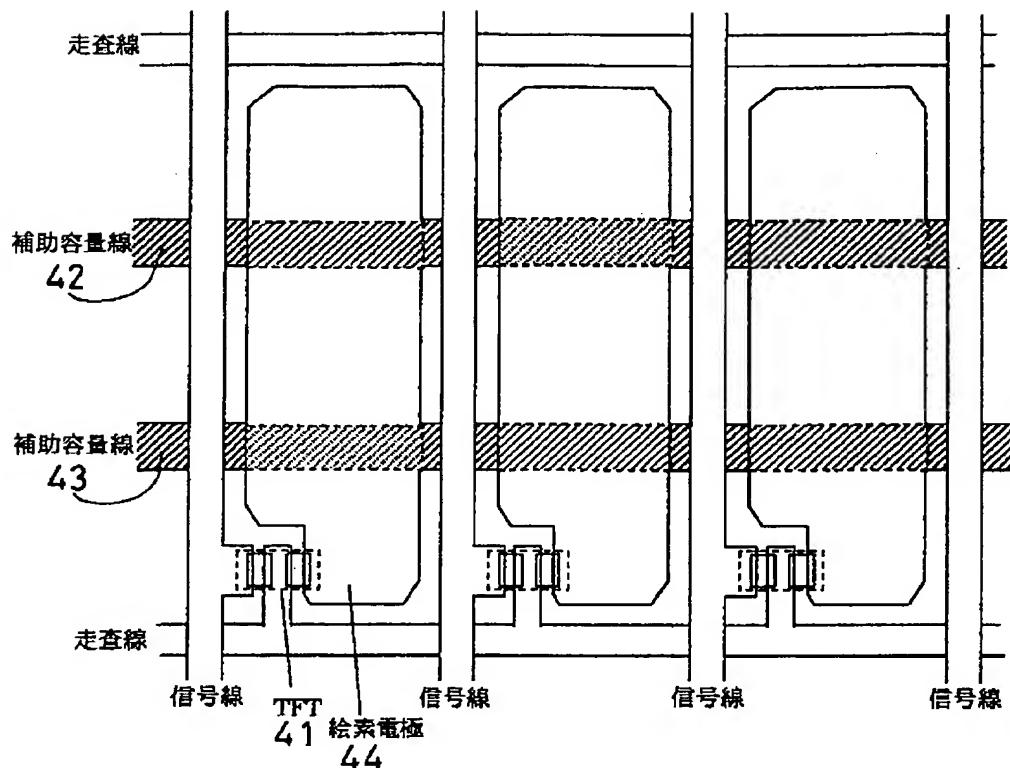


【図10】



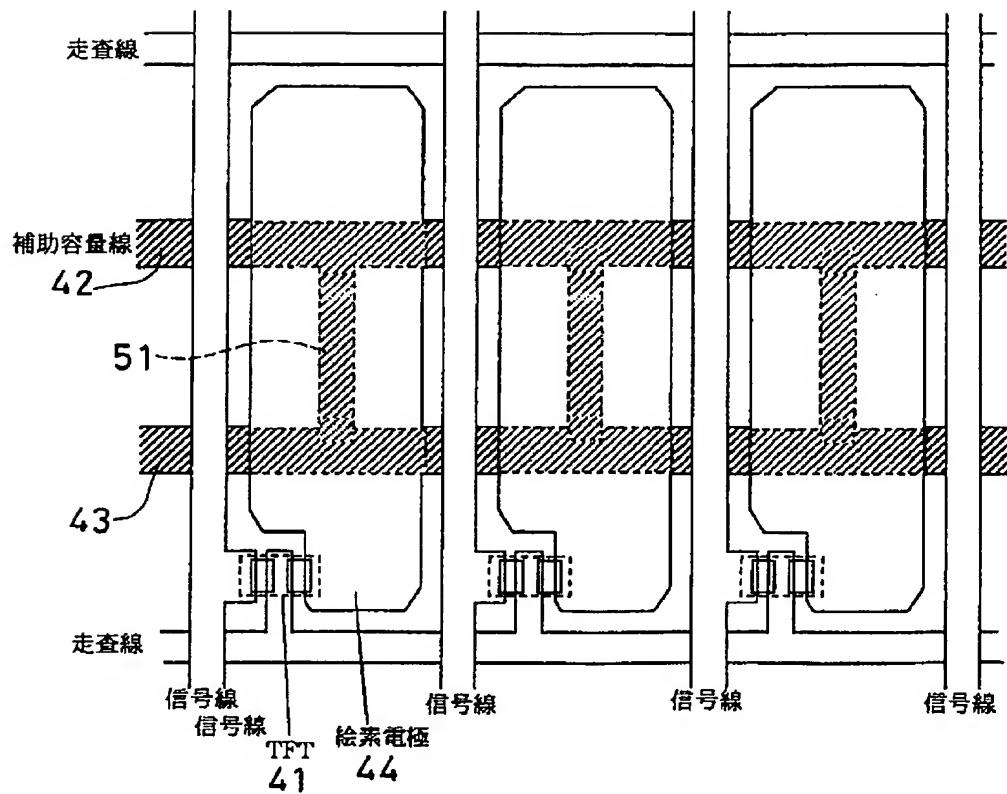
【図11】

40

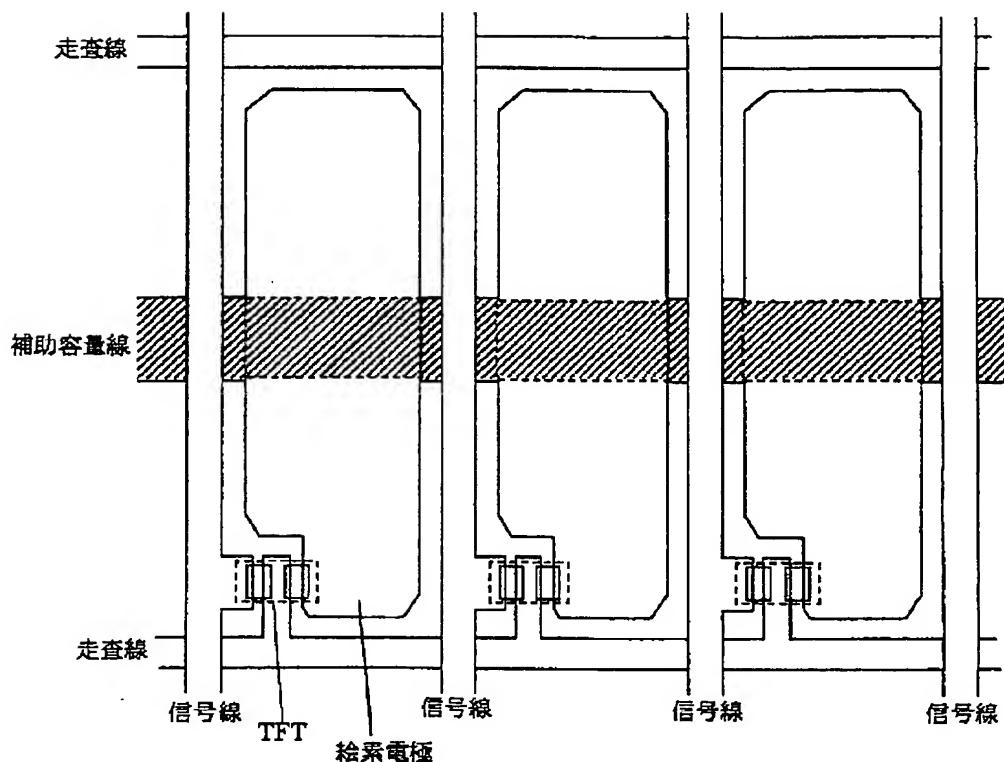


【図 12】

50



【図14】



---

フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	
テーマコード* (参考)			
G 09 F 9/30	3 4 9	G 09 G 3/20	6 2 3 Q 5 C 0 9 4
G 09 G 3/20	6 2 3		6 4 2 K
	6 4 2		6 8 0 H
	6 8 0	3/36	
3/36		G 02 F 1/136	5 0 0

F ターム(参考) 2H091 FA02Y FD03 GA02 GA11  
LA16  
2H092 JA24 JB64 JB69 NA01 PA06  
PA08  
2H093 NA16 NA43 NA64 NC14 NC21  
NC22 NC26 NC34 NC35 NC36  
NC49 ND15 ND17 NE03 NE06  
5C006 AA16 AA22 AC11 AC21 AF22  
AF42 BB16 BC12 BC14 FA05  
FA22  
5C080 AA10 BB05 CC03 DD01 EE29  
EE30 FF11 JJ01 JJ02 JJ03  
JJ04 JJ06  
5C094 AA02 BA03 BA27 BA31 BA43  
CA19 CA24 EA04 EA07 EA10  
ED03